

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

Cited Reference 2

(51) Int. Cl.
H01L 29/78

(11) 공개번호 특2001-0023215
(43) 공개일자 2001년03월26일

(21) 출원번호	10-2000-7001844	(87) 국제공개번호	WO 2000/14809
(22) 출원일자	2000년02월23일	(87) 국제공개일자	2000년03월16일
번역문제출일자	2000년02월23일		
(86) 국제출원번호	PCT/JP1998/04039		
(86) 국제출원출원일자	1998년09월09일		
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투 갈 스웨덴 사이프러스 핀란드 국내특허 : 중국 일본 대한민국 미국		
(71) 출원인	가부시카가이샤 히타치세미사쿠쇼 가나이 쓰토무 일본 도쿄토 치요다쿠 간다스후기다이 4조메 6반치		
(72) 발명자	이와사카다카유키 일본319-1221이바라키켄히다찌시오미카쵸7조메1-1가부시카가이샤히다찌세이 사쿠쇼히다찌리서치레버러토리내 아즈오즈토무 일본319-1221이바라키켄히다찌시오미카쵸7조메1-1가부시카가이샤히다찌세이 사쿠쇼히다찌리서치레버러토리내 오노세히데카즈 일본319-1221이바라키켄히다찌시오미카쵸7조메1-1가부시카가이샤히다찌세이 사쿠쇼히다찌리서치레버러토리내 오오노도시유키 일본319-1221이바라키켄히다찌시오미카쵸7조메1-1가부시카가이샤히다찌세이 사쿠쇼히다찌리서치레버러토리내		
(74) 대리인	장수길, 구영청		

심사청구 : 있음

(54) 정전 유도 트랜지스터, 그 제조 방법 및 전력 변환 장치

요약

본 발명에 따른 정전 유도 트랜지스터는, 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판에 있어서 게이트 전극이 접속되는 제1 게이트 영역과 드레인 영역이 되는 제1 반도체 영역 내에 위치하는 제2 게이트 영역을 지니고, 제1 게이트 영역은 소스 영역이 되는 제2 반도체 영역과 접한다. 본 발명에 따르면, 정전 유도 트랜지스터의 오프 성능이 향상한다.

대표도

도1

색인어

반도체 스위칭 소자, 전력 변환 장치, 정전 유도 트랜지스터, 에너지 밴드 갭, 핀치 오프 특성

영세서

기술분야

본 발명은, 정전 유도 트랜지스터에 관한 것이다.

배경기술

전력 변환기의 대전력 그리고 고주파화의 요구에 수반하여, 제어 가능 전류가 클 뿐만 아니라,

저손실이고, 또한 고속으로 동작하는 반도체 스위칭 소자가 요구되고 있다.

이러한 요구에 따르기 위해, SiC (탄화실리콘)을 소재로 한 스위칭 소자가 제안되고 있다. 예를 들면 IEEE Electron Devices Letters, Vol.18, NO. 3, p.93-95(1997), "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"에 기재되어 있는 바와 같은 파워 MOSFET가 검토되고 있다. 그러나, 전류의 통로가 되는 채널층에 캐리어의 이동도가 낮은 반전층이 사용되고 있으므로 온 전압이 높아진다고 하는 문제가 있다.

이 문제를 회피하기 위해 채널층으로서 반전층을 사용하지 않은 정전 유도 트랜지스터(예를 들면 IEEE Trans. on Electron Devices, Vol. ED-22, p.185-197, 1975, "Field-effect Transistor versus Analog Transistor(Static Induction Transistor)에 기재되어 있음)가 있다.

도 2는 종래의 정전 유도 트랜지스터의 단면도를 도시한다. 이 반도체 기판은 n⁺형 영역(1)과 n⁺형 영역(2)과 p형 영역(5)으로 이루어지고, 소스 전극(11)과, 드레인 전극(12)과, 게이트 전극(13)이 설치되어 있다. 소스에 대해, 게이트의 전위를 낮춤으로써, p형 영역(5)간, 소위 채널이라고 하는 영역에 공핍층을 남기고, 드레인 전극(12)과 소스 전극(11)을 흐르는 전류를 오프할 수 있다. 채널 영역에는 SiC의 기체를 사용하고 있으므로 매우 낮은 온 저항을 실현할 수 있는 가능성이 예를 들면 International Conference on Silicon Carbide, III-nitrides and Related Materials-1997, Abstract p.443(1997), "Electrical Characteristics of A Novel Gate Structure 4H-SiC Power Static Induction Transistor"로 보고되어 있다.

그러나, 도 2의 기본 구조에서는, 오프 특성이 현저하게 나쁘다고 하는 문제가 있다. 즉, 오프하기 위해 큰 게이트 전압을 가해야 한다. 이것은 SiC의 불순물 확산 계수가 작은 것에 기인한다. 실리콘으로는 같은 p형 영역을 형성하는 경우에는 열확산을 이용하지만 SiC에서는 이 프로세스를 적용할 수 없기 때문에, p형 영역(5)과 같은 국부적인 p형 영역은 이온 주입에 의해 형성하지만, 고에너지 주입이라고 하는 2MeV 정도의 에너지로 비교적 원자량이 작은 붕소를 주입해도 그 깊이는 기껏해야 2 μ m 정도이다. 보다 높은 에너지의 주입으로 접합을 깊게 하는 것은 가능하지만, 그 후의 열처리라고 제거 못한 결함이 잔존하고, 결과적으로 누설 전류가 증가하여 오프 특성이 나빠진다.

또한, 고에너지의 이온 주입을 부분적으로 행하는 경우의 그것에 건디는 주입 마스크를 형성하는 것은 곤란하다.

도 2에서 Xj를 채널 길이, Wch를 채널 폭이라고 한다. Xj를 크게 하는 대안으로서 채널폭 Wch를 작게 하는 수단이 생각할 수 있다. 그러나, 그 경우는 Wch를 현저히 미세화할 필요가 있고, 온특성을 현저히 악화한다고 하는 문제가 있다.

상기 문제를 해결하기 위해, 게이트를 표면 p형 영역과 매립 p형 영역으로 구성하고, 채널을 가로 방향으로 하는 생각의 구조가 제안되고 있다. 예를 들면, 특허소59-150474호 공보에 정전 유도 트랜지스터의 구체적인 적용예가 나타내어져 있다. 도 3은 이 제안에 기초한 SiC의 정전 유도 트랜지스터의 단면도를 나타낸다. 이 반도체 기판은 n⁺형 영역(1)과 n⁺형 영역(2)과 p형 영역(5)으로 이루어지고, 소스 전극(11)과, 드레인 전극(12)과, 게이트 전극(13)이 설치되어 있다. 이 예에서는 반도체 기판의 한쪽의 주표면에 설치된 n⁺형 소스 영역(4)과 p형의 제1 게이트 영역(5)보다도 깊은 위치에 암영역의 사영 부분을 포함한 p형 매립층으로 이루어지는 제2 게이트 영역(3)이 형성되어 있다. 제2 게이트 영역(3)은 주표면에 평행한 면 내에서, 누락한 세로 채널 부분 Wch를 갖고 있다. 제2 게이트 영역(3)을 제1 게이트 영역(5)과 동전위로서, 게이트 전극(13)에 소스 전극(11)에 대해 마이너스의 전위를 가함으로써 소스, 드레인사이의 전류를 오프할 수 있다.

도 2에 도시된 앞의 종래 예와의 동작의 차이를 이하 설명한다. 도 4는 도 3의 종래예의 도통 상태에서의 단면도를 도시한다. 참조 번호(21)는 전자의 흐름을 나타낸다. 이 경우, 소스 전극(11)으로부터 주입된 전자는, 채널을 가로 방향으로 흐르고, 그 후 드레인측으로 방향을 바꿔, 드레인 전극(12)으로 유입된다. 즉, 채널이 가로 방향이 된다. 이 예에서는, 채널이 가로 방향이기 때문에, 채널 길이는 이온 주입 깊이 등의 제한이 없고, 호도예칭 등의 미세 가공 기술로 자유롭게 조절할 수 있다. 또한, 채널폭이 예파택설 성장의 두께나 p형 게이트 영역을 형성할 때의 이온 주입 에너지로 조절할 수 있기 때문에, 높은 제어성을 얻을 수 있다. 이상으로부터, 이 종래 예에 의해 온 특성을 현저히 손상시키지 않고 오프 특성이 우수한 SiC 정전 유도 트랜지스터를 기대할 수 있다.

그러나, 도 3에 도시된 종래예에는 채널의 핀치 오프 특성에 강하게 영향을 주는 채널 길이의 정확한 제어에 매우 높은 정밀도의 패턴 정합 작업이 요구된다고 하는 문제가 있다. 즉, 종래의 Si를 기재로 한 종래 예에서는 게이트-소스간 접합의 전압을 높이기 위해, n⁺ 소스 영역(4)과 제1 게이트 영역(5) 사이에는 n⁺ 영역(2)의 일부가 개재되어 있다. 종래의 Si의 경우의 사고 방식을 그대로 SiC를 기재로 하는 소자에 적용한 경우, 개재되는 n⁺ 영역의 필요한 폭은 1 μ m 정도가 되고, n⁺영역(4)과 제1 게이트 영역(5)을 형성할 때의 패턴 정합에 매우 높은 정밀도가 요구되게 된다. 이 결과, 핀치 오프 특성의 일정한 소지를 제조하는 것이 대단히 곤란해진다.

〈발명의 개시〉

본 발명의 제1 목적은, 온 특성의 저하를 초래하지 않고, 오프 특성이 우수한 정전 유도 트랜지스터의 구조를 제안하는 것이다.

본 발명의 다른 목적은, 상기된 정전 유도 트랜지스터를 고수율로 제조할 수 있는 구조 및 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은, 상기된 정전 유도 트랜지스터를 사용한 고성능의 전력 변환 장치를 제공하는 것이다.

제1 본 발명에 따른 정전 유도 트랜지스터에서는, 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판이, 드레인 영역이 되는 제1 도전형의 제1 반도체 영역의 표면 및 내부에 각각 위치하는 제2 도전형의 제1 게이트 영역 및 제2 도전형의 제2 게이트 영역을 포함하고 있다. 제1 게이트 영역은, 제1 반도체 영역의 표면에 위치하여 소스 영역이 되는 제1 도전형의 제2 반도체 영역과 접한다. 본 발명에 따르면, 제2 반도체 영역과 제1 게이트 영역이 접하고 있으므로, 제2 반도체 영역의 패턴과 제1 게이트 영역의 패턴과의 위치 정렬(알라인먼트)에 높은 정밀도를 필요로 하지 않는다. 또한, 반도체 기판의 반도체 재료의 에너지 밴드 갭이 실리콘보다도 크므로, 제2 반도체 영역과 제1 게이트 영역이 접하고 있어도, 높은 게이트 내압을 얻을 수 있다. 따라서, 정전 유도 트랜지스터의 오프 특성이 향상한다.

제2 본 발명에 따른 정전 유도 트랜지스터에서는, 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판에서, 드레인 영역이 되는 제1 도전형의 제1 반도체 영역과 게이트 전극이 쇼트키 접합을 형성한다. 이에 따라, 높은 게이트 내압을 얻을 수 있다. 또한, 본 발명에 따르면, 게이트 전극부에 pn 접합을 이용하지 않고 쇼트키 접합을 이용하고 있으므로, 높은 게이트 내압을 얻는 경우의 반도체층 패턴 상호의 위치 정렬 정밀도의 문제가 없다.

또한, 상기된 제1 및 제2 도전형은, 각각 p형 또는 n형이고, 또한 상호 반대도전형이다.

본 발명에 따른 정전 유도 트랜지스터의 제조 방법에 있어서는, 에피택셜법으로 게이트 영역을 형성한다. 따라서, 높은 수율로, 게이트 내압이 높은 정전 유도 트랜지스터를 작성할 수 있다.

본 발명에 따른 전력 변환 장치에서는, 상기된 바와 같은 본 발명에 따른 정전 유도 트랜지스터를 온-오프함으로써 전력 변환을 행한다. 따라서, 전력 변환 장치가 고성능화된다.

도면의 간단한 설명

- 도 1은 본 발명을 적용한 SiC 정전 유도 트랜지스터의 제1 실시예를 나타내는 단면도.
- 도 2는 종래의 정전 유도 트랜지스터의 일례를 나타내는 단면도.
- 도 3은 종래의 정전 유도 트랜지스터의 다른 예를 나타내는 단면도.
- 도 4는 도 2의 정전 유도 트랜지스터의 도통 상태에서의 전자의 흐름을 나타내는 단면도.
- 도 5는 본 발명을 적용한 SiC 정전 유도 트랜지스터의 제2 실시예를 나타내는 단면도.
- 도 6은 본 발명을 적용한 SiC 정전 유도 트랜지스터의 제3 실시예를 나타내는 단면도.
- 도 7은 본 발명을 적용한 SiC 정전 유도 트랜지스터의 제4 실시예를 나타내는 단면도.
- 도 8a 내지 도 8b는 본 발명을 적용한 SiC 정전 유도 트랜지스터의 보다 구체적인 실시예를 나타내는 단면도.
- 도 9a 내지 도 9c는 단위 셀 이차원 배치의 다른 실시예.
- 도 10a 내지 도 10c는 단위 셀 이차원 배치의 또 다른 실시예.
- 도 11a 내지 도 11c는 단위 셀의 게이트 영역의 다른 연결 수단을 나타내는 실시예.
- 도 12a 내지 도 12d는 도 1의 실시예의 특징적인 제작 과정의 일부를 나타내는 단면도.
- 도 13a 내지 도 13d는 도 5의 실시예의 특징적인 제작 과정의 일부를 나타내는 단면도.
- 도 14는 본 발명을 적용한 SiC 정전 유도 트랜지스터를 사용한 인버터 장치의 하나의 실시예의 주회로.

<발명을 실시하기 위한 최량의 형태>

이하, 본 발명을 실시예를 개시하면서 상세히 설명한다.

도 1은 본 발명의 제1 실시예이고, SiC(탄화실리콘)의 정전 유도 트랜지스터의 단면도를 도시한다. 반도체 기판은 n⁺형 영역(1)과 n⁺형 영역(1)에 접하여 n⁺형 영역(1)보다도 저불순물 농도의 n⁺형 영역(2)과, n⁺형 영역(2)의 표면에 있어서 상호 접하여 n⁺형 영역(2)보다도 고불순물 농도의 n⁺형 영역(4) 및 제1 게이트 영역이 되는 p⁺형 영역(5)으로 이루어진다. n⁺형 영역(4), n⁺형 영역(1), p⁺형 영역(5)에는, 각각 소스 전극(11), 드레인 전극(12), 게이트 전극(13)이 전기적으로 접속된다. n⁺형 영역은 n⁺형 영역(4)을 통해 드레인 전극(12)과 접속되지만, 드레인 전극이 직접 오믹 접촉하고 있어도 된다. 또한, 반도체 기판의 한쪽 주표면에 설치된 n⁺형 영역(4)과 p⁺형 영역(5)의 깊은 위치에 양영역의 사영 부분을 포함한 p⁺형 매립층으로 이루어지는 제2 게이트 영역(3)이 형성되어 있다. n⁺형 영역(2)은, 제2 게이트 영역을 포함하는 주표면에 평행한 면 내에서, 제2 게이트 영역이 부분적으로 누락한 세로 채널 부분 Wch를 갖고 있다. 게이트 전극(13)에 마이너스의 전위를 가할 때에 제1 및 제2 게이트 영역사이에서 공핍층이 편차 오프하기 쉽기 때문에, 제1 게이트 영역(5)과 제2 게이트 영역(3)의 서로의 사영의 중첩 부분의 길이 Lch는, 제1 게이트 영역(5)과 제2 게이트 영역(3)에 끼워진 n⁺형 영역의 폭 Wch보다 크게 한다.

p⁺형 영역(3)을 부유의 상태, n⁺형 영역(4)과 동전위, 또는 게이트 영역인 n⁺형 영역(5)과 동전위로서, 게이트 전극(13)에 소스 전극(11)에 대해 마이너스의 전위를 가함으로써 소스 전극과 드레인 전극사이의 전류를 오프할 수 있다. 또, 본 실시예에서는 도시하지 않았지만, 제2 게이트 영역에 제2 게이트 전극을 설치하여 제1 신호를 부여할 수도 있다.

본 실시예에서는, 반도체 기판이, Si의 약 10배의 최대 피코 전계 강도를 갖는 SiC이기 때문에, 고불순물

농도를 갖는 n⁺형 영역(4) 및 p형 영역(5)이 접해도, 수 10V~수 100V의 높은 게이트 내압을 얻을 수 있다. 또한, n⁺형 영역(4)과 p형 영역(5)의 형성시에 양영역의 패턴을 거듭 형성할 수 있으므로, 열라인먼트 정밀도가 저감된다. 즉, 낮은 열라인먼트 정밀도라도, 확실하게 게이트 내압을 높일 수 있다. 정전 유도 트랜지스터에서는 게이트와 소스사이의 접합에 역바이어스를 인가하여 게이트 영역 상층을 핀치 오프 시킴에 따라 드레인과 소스사이의 전압을 저지한다. 따라서, 높은 저지 전압의 소자에는 가능한 한 높은 내전압의 게이트·소스 접합이 요구된다. 따라서, 본 실시예에 따르면, 고내압의 정전 유도 트랜지스터를 높은 제조 수율에서 얻을 수 있다.

도 5는 본 발명의 제2 실시예이고, 제1 실시예의 변형예이다. 제1 게이트 영역이, n⁺형 영역(4)에 접하는 n⁺형 영역(2)보다는 고농도를 농도이기는 하지만 비교적 저농도의 p형 부분(51)과 게이트 전극에 접하여 p형 부분(51)보다도 고농도의 p형 부분(52)으로 나누어져 있다. 본 실시예에 따르면, 저저항의 게이트 전극 접속을 유지하면서 고내압 또는 저누설 전류의 게이트·소스 접합을 형성할 수 있다.

도 6은 본 발명의 제3 실시예이고, SiC 정전 유도 트랜지스터의 단면도를 나타낸다. 본 실시예에서는 반도체 기판의 한쪽 주표면에 있어서, n⁺영역(2)에 쇼트키 접합을 형성하는 쇼트키 전극(14)이 설치되고, 상기 제1 실시예의 제1 게이트 영역(5) 및 게이트 전극(13)과 동일 작용을 한다. 본 실시예에서는, SiC 반도체 표면의 쇼트키 접합에 의해 높은 게이트 내압을 얻을 수 있다. 즉, 게이트 내압을 얻기 위해 반도체 기판 표면에 pn 접합을 형성할 필요가 없다. 따라서, pn 접합을 형성할 때의 열라인먼트의 문제가 없고, 높은 수율로 고내압의 정전 유도 트랜지스터를 제조할 수 있다.

본 실시예에서도, p형 영역(3)을 부유의 상태, n⁺형 소스 영역(4)과 동전위, 또는 게이트 전극(14)과 동전위로서, 게이트 전극(14)에 소스 전극(11)에 대해 마이너스의 전위를 가함으로써 소스, 드레인사이의 전류를 오프할 수 있다. 또한, 본 실시예에서도, 제2 게이트 영역(3)에 제2 게이트 전극을 설치하고, 제어 신호를 부여할 수도 있다.

도 7은 본 발명의 제4 실시예이고, 제1 실시예의 다른 변형예이다. 제2 게이트 영역(3)이 설치된 평면의 제2 게이트 영역으로부터 격리된 위치에 p⁺형 매립 영역(31)이 있다. 상기 영역(31)은 전기적으로 부유의 상태에 있고, 드레인 전극·소스 전극사이의 전압을 저지할 때, 제1 및 제2 게이트 영역사이의 핀치 오프를 보다 용이하게 하는 작용을 갖고, 고내압의 오프 특성을 부여한다. 본 실시예에서는 제1 실시예에 p⁺형 매립 영역(31)을 추가한 예를 나타냈지만, 마찬가지로 제2, 및 제3 실시예에도 추가할 수 있다. 또한, p⁺형 매립 영역이 하나의 예를 나타냈지만, 이 영역을 2개 이상 여러 개 설치해도 좋다.

상기된 각 실시예에서는 모두 반도체 소자의 단위 셀의 단면 구조를 바탕으로 설명했지만, 보다 구체적인 구조로서는 여러 개의 셀이 한 개의 반도체 기체 내에 배치되는 것이다. 도 8a 내지 도 8b는 그와 같은 실시예로, 도 8a는 상기된 제1 실시예에서 설명한 기본 셀을 동일 기체 내에 배치한 것이고, 도 8b는 그 선분 AA'의 위치에서의 단면도이다. 도면 중의 각 부에 붙인 구성 부분의 번호가 도 1과 동일 부분은 그 구조, 도전형 및 작용이 동일한 부분을 가리키고 있다. 도면에는 도시되지 않았지만, 각 셀의 소스 전극(11)은 전기적으로 상호 연결되어, 각각의 셀이 반도체 기체 내에서 병렬로 동작하도록 접속된다. 또한, 도면에서는 4개만의 셀이 도시되어 있지만, 셀의 수는 반도체 기체의 전류 용량에 따라 증가된다. 이 실시예에서는, 단위 셀로서 거의 정방형의 예를 나타냈지만, 셀의 이차원적인 형상은 정방형으로 제한되는 것이 아니라, 장방형이거나, 각부에 라운딩을 붙인 방형이거나, 다각형이거나, 또는 원형이라도 상관없다. 그러나, 원형 셀의 경우에는 셀이 크로스로 배치되는 부분(도 8a)에서는 선분 ab와 cd가 직각으로 교차하는 부분에서 새로 채널 부분 Wvch가 넓어지기 때문에, 거기에서의 핀치 오프가 불충분해지고, 고전압의 전압 오프 특성을 손상시킬 위험이 있다. 따라서, 셀의 형상으로는, 변 및 작은 라운딩(곡률 반경)의 각부를 갖는 방형 또는 다각형이 바람직하다. 또한, 통상, 정방형에 가까운 칩 내에 배치되는 셀의 형상으로서서는 칩과 서로 닮은 형상이 우수하다. 이하에, 정방형 셀을 바탕으로 본 발명의 구체적인 셀 배치 구조를 설명한다.

도 9a 내지 도 9c는 단위 셀의 이차원 배치의 다른 실시예이다. 도 9a는 반도체 기체의 표면도, 도 9b는 그 선분 AA'의 위치에서의 단면도, 도 9c는 선분 ab의 위치에서의 단면도이다. 도면 중의 각 부에 붙인 구성 부분의 번호가 도 8과 동일 부분은 그 구조, 도전형 및 작용이 동일한 부분을 가리키고 있다. 도 8의 실시예와의 상이점은 각 셀의 제2 게이트 영역(3)을 연결하는 제2 게이트 영역(3)의 확장 부분(33)이 설치되는 점이다. 본 도면에는 도시되지 않았지만, 전기적으로 연결된 제2 게이트 영역에 제2 게이트 전극이 저저항 접속되어 있고, 상기된 바와 같이 그 전위를 n⁺ 소스 영역(4)과 동전위, 또는 제1 게이트 영역의 게이트 영역(5)과 동전위로서 온, 오프 제어할 수 있다. 온시의 전류 통로가 되는 새로 채널 부분의 면적의 감소를 최소한으로 하여 제2 게이트 영역을 연결하는 수단으로서 본 실시예에서는 방형 셀의 4개의 변에 연결 부분을 설치한 점이 특징이다. 물론, 4변의 모두에 설치하지 않아도, 1~3변에서만 연결해도 상관없다.

도 10a 내지 도 10c는 단위 셀의 이차원 배치의 또 다른 실시예이다. 도 10a는 반도체 기체의 표면도, 도 10b는 그 선분 AA'의 위치에서의 단면도, 도 10c는 선분 ab의 위치에서의 단면도이다. 도면 중의 각 부에 붙인 구성 부분의 번호가 도 9에 도시된 것과 동일 부분은 그 구조, 도전형 및 작용이 동일한 부분을 가리키고 있다. 이 실시예의 특징은 제2 게이트 영역(3)의 상기 연결 부분(33)이 방형 셀의 4개의 각에 설치한 점이다. 셀이 크로스로 배치되는 부분(도 10a)에서는 선분 ab와 cd가 직각으로 교차하는 부분에 있어서 새로 채널 부분의 폭 Wvch가 넓어지고, 거기에서의 핀치 오프가 불충분해지기 때문에 고전압의 전압 오프 특성을 손상시킬 위험이 있다. 본 실시예는 상기된 크로스에 배치되는 부분이 연결 부분으로 되어 있으므로, 이 오프 특성의 저하를 방지할 수 있는 점에서 도 9에서 도시된 방형 셀의 변부에서 연결하는 실시예보다 우수하다. 물론, 본 실시예에서도 오프 특성이 저하하지 않은 방형의 새로 채널 부분의 폭 Wvch가 좁게 설정되면, 4각의 모두에 설치하지 않아도, 1~3각으로만 연결해도 상관없다.

도 11a 내지 도 11c는 단위 셀의 제2 게이트 영역의 다른 연결 수단을 나타내는 실시예이다. 도 11a는 반

도체 기체의 표면도, 도 11b는 그 선분 AA'의 위치에서의 단면도, 도 11c는 선분 ab의 위치에서의 단면도이다. 도면 중의 각 부에 붙인 구성 부분의 번호가 도 8과 동일 부분은 그 구조, 도전형 및 작용이 동일한 부분을 가리키고 있다. 방형 셀의 각부에서 반도체 기체의 한쪽 주표면으로부터 상기 제1 p형 게이트 영역(5)을 관통하여 상기 제2 게이트 영역(3)에 도달하는 길이에 p형층(34)이 설치되어 있다. p형층(34)에 의해 단위 셀의 제2 게이트 영역(3)이 연결됨과 함께, 또한 제2 게이트 영역(3)이 상기 제1 p형 게이트 영역(5)과 전기적으로 연결되게 되고, 제2 게이트 전극을 새롭게 구비하지 않고 두개의 게이트 영역을 통전위로 하는 게이트 제어가 가능해진다는 이점이 있다. 본 실시예에서는 p형층(34)을 방형 셀의 모든 각부에 설치한 예를 나타냈지만, 방형 셀의 일부의 각에만 설치해도 원하는 작용을 얻을 수 있는 것은 용이하게 이해할 수 있다. 또한, p형층(34)을 도 9 및 제 10도에 도시된 바와 같은 방형 셀의 변 및 각의 부분에 있어서 제2 게이트 영역(3)의 연결 부분(33)이 있는 경우에도, 제1 및 제2 게이트 영역의 접속 수단으로서 적용할 수 있는 것이다.

이상의 셀 배치에 관한 실시예를 방형 형상의 셀에 대해 설명했지만, 장방형 및 다각형의 셀 구조에도 적용할 수 있는 것은 당연하다.

또한, 이상의 셀 배치에 관한 실시예를 본 발명의 기본 셀에 관한 도 1의 실시예에서 설명했지만, 물론 이러한 여러 개의 셀 배치는 상기된 본 발명의 다른 실시예에서 나타난 셀 구조에도 적용할 수 있다.

이상의 각 실시예에 따르면, 오프 특성이 우수하고, 또한 재작이 용이한 SiC 정전 유도 트랜지스터를 실현할 수 있다.

도 12a 내지 도 12d는 제1 실시예의 SiC 정전 유도 트랜지스터의 제작 공정의 일부를 나타낸다. SiC 반도체 기판의 n형 영역(2)의 표면으로부터, 레지스트(도시하지 않음, 이하 동일함)를 마스크로서 알루미늄 또는 붕소를 이온 주입함으로써 p형 영역(3)을 형성하고(도 12a), 에피택셜법으로 n형 영역(2)을 적층 성장시킨다(도 12b). 이어서, 레지스트를 마스크로서, 질소를 이온 주입하여 n형 영역(4), 알루미늄 또는 붕소를 이온 주입함으로써 p형 영역(5)을, 양영역이 접하도록 형성한다(도 12c). 그 후, 소스 전극(11), 드레인 전극(12), 게이트 전극(13)을 형성하여 소자는 완성된다.

도 13a 내지 도 13d는 제2 실시예의 소자의 제작 공정의 일부를 나타낸다. SiC 반도체 기판의 n형 영역(2)의 표면으로부터, 레지스트를 마스크로서 알루미늄 또는 붕소를 이온 주입함으로써, 제2 게이트 영역이 되는 p형 영역(3)을 형성하고(도 13a), 에피택셜법으로, n형 영역(2)을 성장시키고, 또한 그 위에 제1 게이트 영역이 되는 p형 영역(51)을 적층한다(도 13b). 이어서, 레지스트를 마스크로서, 질소를 이온 주입하여 n형 영역(4)을 형성한다(도 13c). 또한 레지스트를 마스크로서, 붕소 바람직하게는 알루미늄을 이온 주입하여 p형 영역(52)을 형성한다(도 13c). 그 후, 소스 전극(11), 드레인 전극(12), 게이트 전극(13)을 형성하여 소자는 완성된다.

p형 영역(51)을 에피택셜 성장으로 형성함으로써, n형 영역(4)과 p형 영역(5)을 모두 이온 주입으로 형성하는 도 9에서 도시된 제조 방법에 비교하여, 이온 주입층의 중첩 부분에서 진존하는 결정 결함에 따른 게이트-소스 접합의 누설 전류의 증가의 문제를 회피할 수 있고, 우수한 저지 특성의 접합을 얻을 수 있다.

도 14는, 본 발명을 적용한 SiC 정전 유도 트랜지스터 및 그것에 역병렬로 접속되는 다이오드를 이용하여, 3상 유도 전동기 구동용 인버터 장치를 구성한 일례를 나타낸 것이다. 6개의 정전 유도 트랜지스터, SW11, SW12, SW21, SW22, SW31, SW32를 온·오프함으로써 작류 전력을 교류 전력으로 변환하여 3상 유도 전동기를 제어한다. 본 발명에 따른 SiC 정전 유도 트랜지스터는 손실이 작아, 냉각계를 간소화할 수 있다. 즉, 인버터 장치를 이용한 시스템의 저비용화, 고효율화를 달성할 수 있다.

이상, 본 발명의 실시예를 설명했지만, 본 발명은 더욱 많은 적용 범위 또는 파생 범위를 커버하는 것이다.

상기 각 실시예에서는, 반도체 기판의 반도체 재료가 SiC 였지만, 다른 반도체 재료도 적용할 수 있다. 특히, 다이아몬드, 질화갈륨(GaN)등의 Si보다도 에너지 밴드 갭이 큰 와이드 갭 반도체 재료에 유효하다.

또 상기 각 실시예에 있어서 각 영역의 도전형을 반전시킨 SiC 정전 유도 트랜지스터에 대해서도, 본 발명을 적용할 수 있다.

상술된 바와 같이, 본 발명에 따르면, 온 특성이 우수한 SiC 정전 유도 트랜지스터를 프로세스 상의 곤란에 상관없이 실현할 수 있다.

(57) 청구의 범위

청구항 1

제1 도전형의 제1 반도체 영역과,

상기 제1 반도체 영역의 표면에 위치하고, 상기 제1 반도체 영역보다도 고농순율 농도를 갖는 제1 도전형의 제2 반도체 영역과,

상기 제1 반도체 영역의 표면에 위치하는 제2 도전형의 제1 게이트 영역과,

상기 제1 반도체 영역 내에서 상기 제2 반도체 영역의 사영(射影)을 포함하고 또한 상기 제1 게이트 영역의 사영을 부분적으로 포함하는, 제2 도전형의 제2 게이트 영역

을 포함하는 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판과,

상기 제1 반도체 영역에 전기적으로 접속되는 드레인 전극과,

상기 제2 반도체 영역에 전기적으로 접속되는 소스 전극과,

상기 제1 게이트 영역에 전기적으로 접속되는 게이트 전극을 구비하고,

상기 제1 반도체 영역의 상기 표면에 있어서, 상기 제2 반도체 영역과 상기 제1 게이트 영역이 접촉하는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 2

제1항에 있어서, 상기 정전 유도 트랜지스터가 저지 상태일 때, 상기 제2 게이트 영역의 전위가, 부유, 상기 제2 반도체 영역과 동전위, 상기 제1 게이트 영역과 동전위 중 어느 하나인 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 3

제1항에 있어서, 상기 제2 게이트 영역에 있어서의 상기 제2 반도체 영역의 사영과 중첩되는 부분의 길이가, 상기 제1 게이트 영역과 상기 제2 게이트 영역 사이에 끼워지는 상기 제1 반도체 영역 부분의 폭보다도 큰 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 4

제1항에 있어서, 상기 제1 게이트 영역이, 상기 제2 반도체 영역과 접하는 제1 부분과, 상기 제1 부분보다도 고물순물 농도를 갖고 상기 게이트 전극과 접촉하는 제2 부분을 포함하는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 5

제1항에 있어서, 상기 제1 반도체 영역 내에, 상기 제2 게이트 영역과는 분리된 제2 도전형의 매립 영역을 더 포함하는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 6

제1항에 있어서, 상기 반도체 기판의 반도체 재료가, 탄화실리콘, 다이아몬드, 질화갈륨 중에서 선택되는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 7

제1 도전형의 제1 반도체 영역과,

상기 제1 반도체 영역의 표면에 위치하고, 상기 제1 반도체 영역보다도 고물순물 농도를 갖는 제1 도전형의 제2 반도체 영역과,

상기 제1 반도체 영역 내에서 상기 제2 반도체 영역의 사영을 포함하는, 제2 도전형의 게이트 영역을 포함하는 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판과,

상기 제1 반도체 영역에 전기적으로 접속되는 드레인 전극과,

상기 제2 반도체 영역에 전기적으로 접속되는 소스 전극과,

상기 제1 반도체 영역의 상기 표면에 전기적으로 접속되는 게이트 전극을 포함하고,

상기 제1 반도체 영역과 상기 게이트 전극이 쇼트키 접합을 형성하는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 8

제7항에 있어서, 상기 복수의 제2 게이트 영역이 제2 도전형의 반도체층에 의해 상호 연결되는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 9

제8항에 있어서, 상기 반도체층이 상기 제2 게이트 영역의 확장 부분인 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 10

제8항에 있어서, 상기 반도체층이 상기 제1 게이트 영역을 관통하여 상기 제2 게이트 영역에 도달하는 것을 특징으로 하는 정전 유도 트랜지스터.

청구항 11

실리콘보다도 에너지 밴드 갭이 큰 반도체 기판의 제1 도전형의 제1 반도체 영역의 표면에 제2 도전형의 제2 게이트 영역을 형성하는 공정과,

상기 제1 반도체 영역 및 상기 제2 게이트 영역 위에, 에피택셜법으로 상기 제1 반도체 영역을 성장시키는 공정과,

성장시킨 상기 제1 반도체 영역 위에, 에피택셜법으로 제2 도전형의 제1 게이트 영역을 형성하는 공정

을 포함하는 것을 특징으로 하는 정전 유도 트랜지스터의 제조 방법.

청구항 12

정전 유도 트랜지스터를 온·오프함으로써 전력 변환을 행하는 전력 변환 장치에 있어서,

상기 정전 유도 트랜지스터는,

제1 도전형의 제1 반도체 영역과,

상기 제1 반도체 영역의 표면에 위치하고, 상기 제1 반도체 영역보다도 고불순물 농도를 갖는 제1 도전형의 제2 반도체 영역과,

상기 제1 반도체 영역의 표면에 위치하는 제2 도전형의 제1 게이트 영역과,

상기 제1 반도체 영역 내에서 상기 제2 반도체 영역의 사영을 포함하고 또한 상기 제1 게이트 영역의 사영을 부분적으로 포함하는, 제2 도전형의 제2 게이트 영역

을 포함하는 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판과,

상기 제1 반도체 영역에 전기적으로 접속되는 드레인 전극과,

상기 제2 반도체 영역에 전기적으로 접속되는 소스 전극과,

상기 제1 게이트 영역에 전기적으로 접속되는 게이트 전극

을 포함하고,

상기 제1 반도체 영역의 상기 표면에, 상기 제2 반도체 영역과 상기 제2 반도체 영역이 접촉하는 것을 특징으로 하는 전력 변환 장치.

청구항 13

정전 유도 트랜지스터를 온·오프함으로써 전력 변환을 행하는 전력 변환 장치에 있어서,

상기 정전 유도 트랜지스터는,

제1 도전형의 제1 반도체 영역과,

상기 제1 반도체 영역의 표면에 위치하고, 상기 제1 반도체 영역보다도 고불순물 농도를 포함하는 제1 도전형의 제2 반도체 영역과,

상기 제1 반도체 영역 내에서 상기 제2 반도체 영역의 사영을 포함하는 제2 도전형의 게이트 영역

을 포함하는 실리콘보다도 에너지 밴드 갭이 큰 반도체 기판과,

상기 제1 반도체 영역에 전기적으로 접속되는 드레인 전극과,

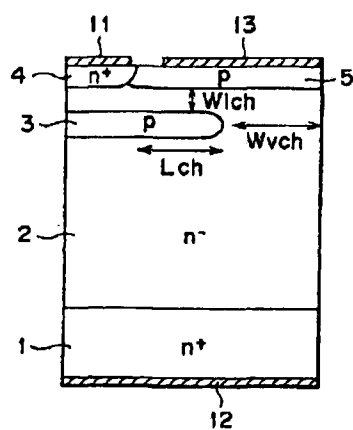
상기 제2 반도체 영역에 전기적으로 접속되는 소스 전극과,

상기 제1 반도체 영역의 상기 표면에 전기적으로 접속되는 게이트 전극을 포함하고,

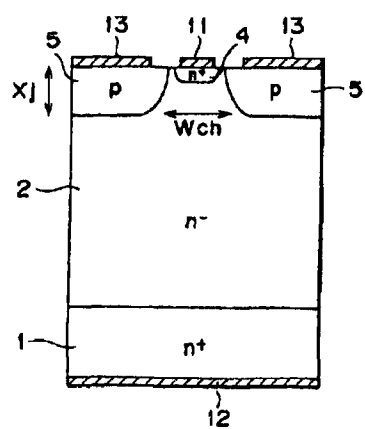
상기 제1 반도체 영역과 상기 게이트 전극이 쇼트키 접합을 형성하는 것을 특징으로 하는 전력 변환 장치.

도면

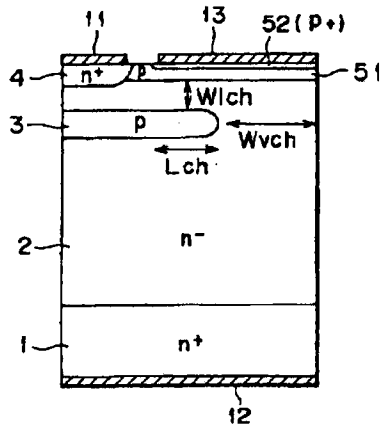
도면 1



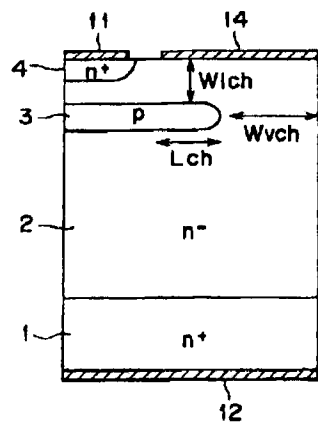
도면2



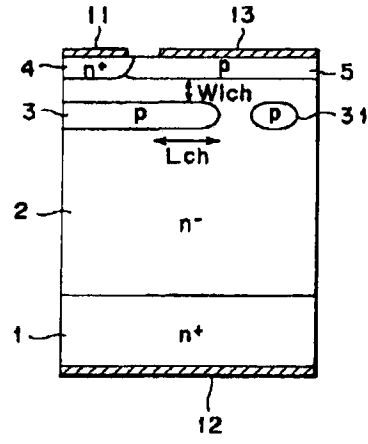
도면5



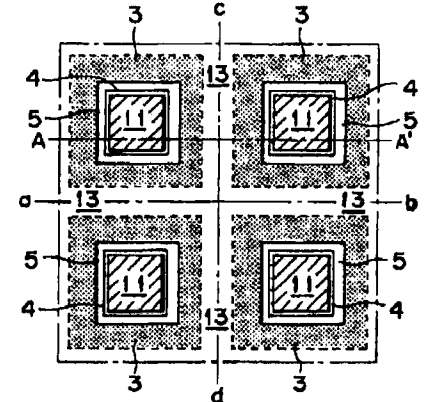
도면6



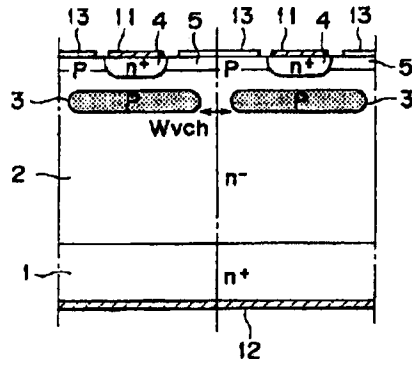
도면7



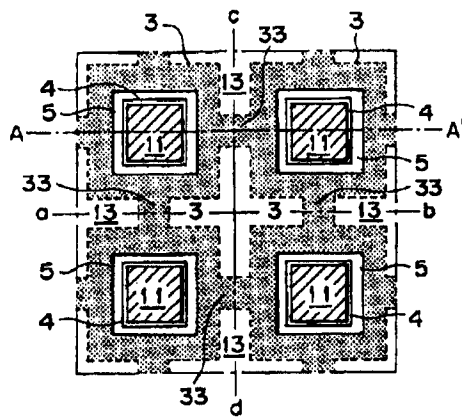
도면8a



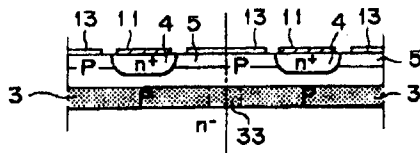
도면8b



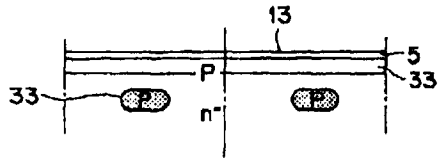
도면9a



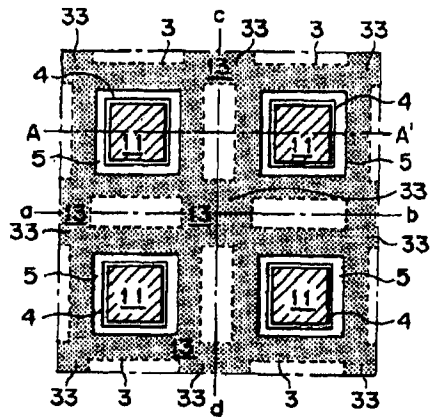
도면9b



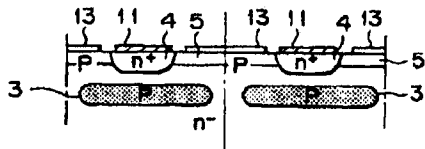
도면9c



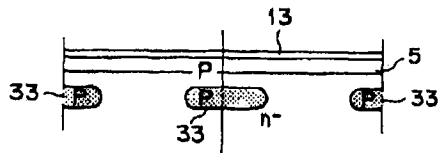
도면10a



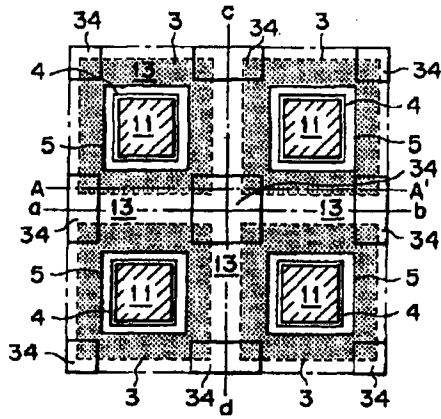
도면10b



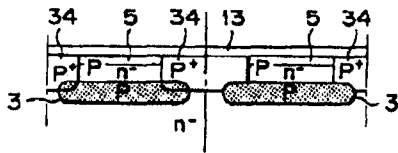
도면10c



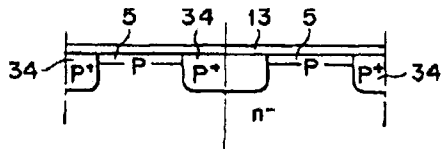
도면 11a



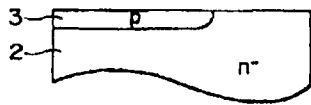
도면 11b



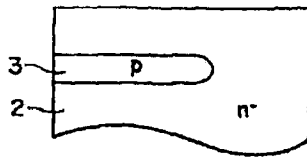
도면 11c



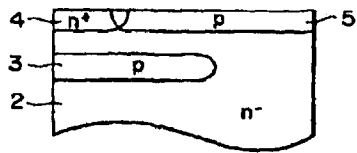
도면 12a



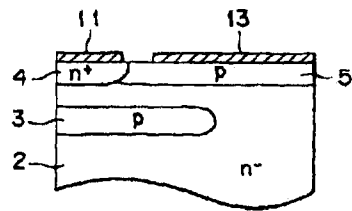
도면 12b



도면 12c



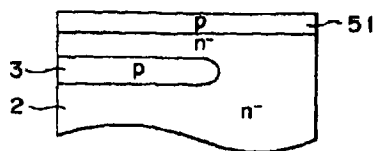
도면 12d



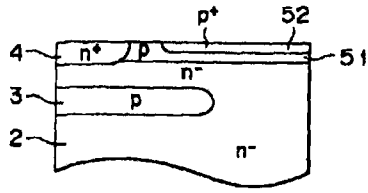
도면 13a



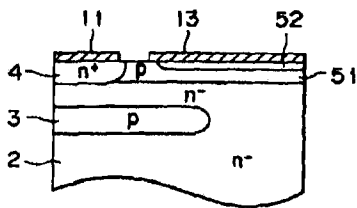
도면 13b



도면 13c



도면 13d



도면 14

